

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-203533

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月13日

H 01 L 21/331
29/73

8526-5F H 01 L 29/72

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 バイポーラトランジスタ

⑯ 特 願 平1-20743

⑰ 出 願 平1(1989)2月1日

⑱ 発 明 者 仁 平 裕 之 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 発 明 者 伊 藤 信 之 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 発 明 者 山 口 寿 男 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 発 明 者 中 島 博 臣 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

バイポーラトランジスタ

2. 特許請求の範囲

(1) 第一導電型のコレクタ層表面部に第二導電型の内部ベース層と外部ベース層が形成され、内部ベース層表面部に第一導電型のエミッタ層が形成されたプレーナ構造のバイポーラトランジスタにおいて、前記内部ベース層を中心にして対向する第1と第2の前記外部ベース層の厚さが異なることを特徴とするバイポーラトランジスタ。

(2) 前記第1の外部ベース層の厚さが前記第2の外部ベース層の厚さより薄く、前記第1及び第2の外部ベース層上には第二導電型の不純物を含んだ第1及び第2の多結晶シリコン膜が各形成されており、前記第1の外部ベース層上の前記第1の多結晶シリコン膜の面積は前記第2の外部ベース層上の前記第2の多結晶シリコン膜の面積より小さいことを特徴とする請求項1記載のバイポーラトランジスタ。

(3) 前記第1及び第2の多結晶シリコン膜の各一部が前記第1及び第2の外部ベース層に接していることを特徴とする請求項2記載のバイポーラトランジスタ。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、高性能バイポーラ集積回路に適したバイポーラトランジスタに関する。

(従来の技術)

バイポーラ集積回路の高集積化、高速化には、トランジスタの横方向および縦方向の微細化が必要である。横方向の微細化とは、素子寸法を縮小することであり、縦方向の微細化とは、浅い不純物プロファイルを形成することである。これらを同時に達成する方法として、多結晶シリコンを用いてベースとエミッタとを自己整合させる各種自己整合技術が考えられている。これらの技術により、現在までのところ、エミッタ幅がサブミクロンのオーダーでしゃ断周波数20GHz以上のバイ

ポーラトランジスタが得られている。

しかしながら従来のバイポーラトランジスタの製造法には未だいくつかの問題がある。その一つは、エミッタ幅がサブミクロンになると、電流増幅率やしゃ断周波数の低下が認められることである。このことを具体的に第6図を参照して説明する。これらの図において、121はn型コレクタ層となるシリコン基板であり、122はp型内部のベース層、123は p^+ 型外部ベース層、124はエミッタ層である。125は、外部ベース層の拡散源兼ベース電極となる第1の多結晶シリコン膜、126はエミッタ層拡散源兼エミッタ電極となる第2の多結晶シリコン膜であり、これら多結晶シリコン膜間は酸化膜127および128により分離されている。ここで p^+ 型外部ベース層123は、外部ベース電極となる第1の多結晶シリコン膜の側面部の酸化膜128を形成すると同時に、第1の多結晶シリコン膜中に含まれているボロンを下地のシリコン基板に拡散させることにより形成し、又エミッタ層124は第2

の多結晶シリコン膜126を堆積してこれにイオン注入によりヒ素をドーブした後、熱処理を行なってそのヒ素をシリコン基板面に浅く拡散させる、という方法により形成する。

ところが、本発明者らの実験によると、エミッタ幅 $0.6\mu m$ 程度までは高い電流増幅率としゃ断周波数が得られるがエミッタ幅がこれ以下になると、第2図および第3図で示すように、従来のトランジスタの性能が大きく低下することが認められた。これは次のような理由による。第6図に示すように、 p^+ 型外部ベース層123と、イオン注入により形成したp型内部ベース層122との重なり部分aの不純物濃度が高いために、 p^+ 型外部ベース層123とp型内部ベース層122の接続部において、深い不純物分布領域129が形成される。このようなトランジスタの通常の製造条件では、この深い不純物分布領域129の影響でエミッタ幅が $0.6\mu m$ 以下になるとp型内部ベース領域122の幅 W_B が厚くなる。このために第2図、第3図に示したように特性が悪化してし

まう。

このような特性の劣化を防ぐ方法として、 p^+ 型外部ベース領域の拡散深さを小さくするために、拡散時間を短かく設定することが一般的に行なわれる。しかし、この拡散させるための時間は、ベース電極なる第1の多結晶シリコン膜125とエミッタ電極なる第2の多結晶シリコン膜126とを絶縁分離する酸化膜127あるいは128を形成するための酸化時間に全く依存してしまう。この酸化時間を短かくして、酸化膜127および128の膜厚を薄くすることは、エミッターベース間の耐圧劣化を招き又エミッターベース間の寄生容量も増大させる結果となる。すなわち、第1の多結晶シリコン膜125に含まれている不純物原子を、シリコン基板に拡散させ、 p^+ 型外部ベース領域を形成するための時間を短かくすることは、トランジスタの信頼性を低下させ、又高速化にとっても不利である。

(発明が解決しようとする課題)

以上のように、従来の高性能バイポーラでは、

エミッタ幅をサブミクロンまで微細化したときに性能劣化が認められ、高速性能を発揮することができないという問題があった。

本発明は、製造方法を従来のものと何ら変えることなくこの様な問題を解決したバイポーラトランジスタを提供することを目的とする。

[発明の構成]

(~~課題~~ ^{課題}を解決するための手段)

本発明は、第一に、第一導電型コレクタ層が形成された半導体基板に、多結晶シリコン膜を用いた自己整合によりベース層およびエミッタ層を形成したエミッタ幅 $0.6\mu m$ 以下の微細構造をもつバイポーラトランジスタであって、外部ベース拡散層の拡散源兼ベース電極となる多結晶シリコン膜の一部が、外部ベース拡散層を形成するための拡散窓の面積と同程度の面積から成り、かつ、その多結晶シリコン膜の一部が、外部ベース拡散層を形成すると同時にベース電極を引出すための多結晶シリコン膜上に形成するコンタクト開口部と、エミッタ領域を介して対向していることを特

微とする。

第二に、前記トランジスタの外部ベース拡散層を形成するための拡散窓の面積と同程度の面積から成る多結晶シリコン膜の一部が、外部ベース拡散層を形成すると同時にベース電極と引出すための多結晶シリコン膜上に形成するコンタクト開口部と、エミッタ領域を介して対向しており、かつ、コレクタ層にコレクタ電極を設置するためのコンタクト開口部と対向して配置されていることを特徴とする。

(作用)

本発明は、外部ベース拡散層の拡散源である多結晶シリコンの形成を改良したものである。すなわち、拡散窓と同程度の面積の多結晶シリコンと拡散窓の上部に配置することにより、その部分での外部ベース拡散層の拡散深さを、外部ベース拡散層を形成すると同時にベース電極を引出すための多結晶シリコンにより形成された外部ベース拡散層の深さよりも、浅くすることができる。このことにより、エミッタ幅がサブミクロンオーダ

ーになっても、内部ベースのベース幅は、外部ベース拡散領域の高濃度で深い不純物分布領域の影響を受けず、設定通りのベース幅を得ることができる。さらに、ベース電極を引出すための多結晶シリコン膜上に形成するコンタクト開口部を、エミッタ領域を介して、コレクタコンタクト開口部と対向させ、前記外部ベース拡散層の拡散窓と同程度の面積を有する多結晶シリコン膜の一部を、コレクタコンタクト部とエミッタ領域との間に配置することにより、トランジスタ全体の面積を小さくでき、特に高速動作に影響を及ぼす、ベース—コレクタ間の寄生容量が小さくできる。したがって、本発明によれば、従来の製造プロセスを何ら変えることなく、電流増幅率やしゃ断周波数の低下を防ぎ高性能特性を得ることができる。さらに、集積回路の信頼性と、高速性を図ることができる。

(実施例)

以下、第1図を用いて本発明を説明する。p型シリコン基板1に n^+ 型埋込み層2を介して、

n型エピタキシャル3層が形成され、素子分離は、選択酸化による酸化膜4とp型不純物層5により形成されている。また n^+ 型埋込み層2は、コレクタコンタクト形成予定領域の n^+ 型不純物層6に接している。このシリコン基板の素子領域面に薄い熱酸化膜7を形成した後、全面に耐酸化性マスクとなる窒化膜(Si_3N_4 膜)8を堆積し、続いて第1の多結晶シリコン膜9を堆積する。第1の多結晶シリコン膜9のうち素子分離領域上の不要な部分は熱酸化により酸化膜10に変える。次いで第1の多結晶シリコン膜9にボロンをイオン注入して添加し、ホットエッチングによりエミッタ形成領域上の第1の多結晶シリコン膜9をエッチングして開口を設ける(第1図(a))。このとき、コレクタコンタクト形成予定領域6の近くに存在する第1の多結晶シリコン膜の一部9'は、後に形成する p^+ 型外部ベース拡散層の拡散窓の面積と同程度となるように残置される。これに対し、後にベース引出し電極となりベースコンタクトを形成する第1の多結晶シリコン膜9'は、前

記コレクタコンタクト形成予定領域近傍の第1の多結晶シリコン膜9'に比べて十分大きな面積を占めて残置する。その後酸化性雰囲気中で熱処理して多結晶シリコン膜9の表面に酸化膜11を形成し、この酸化膜11をマスクとして開口部の窒化膜8を加熱リン酸水溶液でエッチング除去する。そして露出した酸化膜7を NH_4F 水溶液で除去してウェーハ面を露出させる。このとき開口部の窒化膜8のエッチングを意図的にオーバー・エッチングすることによって、オーバーハング部12を形成し、第1の多結晶シリコン膜9の一部を露出させる(第1図(b))。次いで第2の多結晶シリコン膜13を全面に堆積してオーバーハング部12の下空洞部を埋込み、その後第2の多結晶シリコン膜13をエッチングして酸化膜11および開口部のウェーハ面を露出させる。続いて露出させたウェーハ表面および多結晶シリコン膜の側面に熱酸化による酸化膜14を形成する。このとき第1の多結晶シリコン膜9に予めドーブしておいたボロンを、オーバーハング部12の第2の多結晶

シリコン膜 13 を介してウェーハに拡散させ、p 型の外部ベース拡散層 15 を形成する。このとき、コレクタコンタクト形成予定領域に近い部分に形成される p 型の外部ベース拡散層 15' は、ベースコンタクトを形成する第 1 の多結晶シリコン 9' により形成される拡散層 15' よりも浅くなり、濃度も低くなる。それはコレクタコンタクト側の第 1 の多結晶シリコン 9' は拡散窓と同等の面積に設定しており、かつベースコンタクトを形成する第 1 の多結晶シリコン 9' よりも十分小さいため拡散領域に対する不純物の供給量がコレクタコンタクト側の方が非常に少ないからである。したがって第 1 図(c) に示すような拡散深の異なる p 型外部ベース拡散層 15' および 15'' が形成できる。

この後、ボロンのイオン注入により p 型の内部ベース層 16 を形成する。次いで CVD 絶縁膜 17 と第 3 の多結晶シリコン膜 18 を堆積し、反応性イオンエッチングによりこれらをエッチングして開口部側壁にのみこれらを残し、第 3 の多結

晶シリコン膜 18 をマスクとして開口部のウェーハ表面の酸化膜を除去する。そして高濃度にヒ素をイオン注入した第 4 の多結晶シリコン膜 19 を堆積し、熱処理によりヒ素を拡散させて n 型エミッタ層 20 を形成して完成する(第 1 図(d))。第 1、第 2 の多結晶シリコン膜 9、13 はベース電極として用いられ、第 4 の多結晶シリコン膜 19 はエミッタ電極として用いられる。この後は図示しないが、エミッタ・ベース・コレクタに所望の A 2 配線を形成して完成する。

本発明によるトランジスタの電流増幅率及びしゃ断周波数のエミッタ幅依存性を、従来のトランジスタのそれらと比較して第 2 図及び第 3 図に示す。又、第 1 図(c) に示したように外部ベース拡散層の一部の拡散深さが従来のトランジスタのそれに比べて浅くなっているため、コレクタ・エミッタ間の耐圧の劣化が懸念されたが、第 1 表に示すように各種耐圧にはほとんど差がなかった。又本発明のトランジスタを用いた ECL リング発振器では、伝搬遅延時間は 50 ps が得られ、従来

のトランジスタを用いた時のそれに比べて 15% 程の改善が見られ、本発明のトランジスタによる集積回路の高速動作を検証することができた。

第 1 表

	本発明のトランジスタ	従来のトランジスタ
エミッタ面積	$0.4 \times 2 \mu\text{m}^2$	$0.4 \times 2 \mu\text{m}^2$
h_{FE}	50	45
BV_{EBO}	4.9 V	4.8 V
BV_{CBO}	17.7 V	17.7 V
BV_{CEO}	5.4 V	5.3 V
C_{EB}	5.8 fF	6.0 fF
C_{CB}	5.3 fF	7.3 fF
C_{CS}	11.0 fF	13.0 fF
f_T	19 GHz	15 GHz

次に接合耐圧や高電流領域での諸特性にすぐれた高性能のバイポーラトランジスタを得る製造方法について説明する。

以下、図面を参照して説明する。

第 4 図は一実施例のバイポーラトランジスタの製造方法を工程順に断面図で示す。

まずバイポーラトランジスタの素子分離としては、p 型シリコン基板 41 に n 型の高濃度不純物層 42 を形成し、さらに n 型の比較的抵濃度層 ($\sim 1 \times 10^{18} \text{ cm}^{-3}$) のエピタキシャル層 43 を気相成長法で形成した後、トレンチ技術及び選択酸化技術を用いて、素子間分離としてトレンチ領域 44 及びベース・エミッタ領域とコレクタコンタクト部を分離する電極間分離領域に絶縁酸化膜 45 を形成する。また n 型の高不純物層 42 はコレクタコンタクトに接続されており(図示せず)、従って低濃度エピタキシャル層から成るエピタキシャル層 43 はコレクタの一部を形成している。シリコン基板全面に熱酸化により厚さ 500 \AA 程度の熱酸化膜 46 を形成し、さらにその上にトレンチ領域及び分離用絶縁膜の領域を含めて全面に耐酸化性絶縁膜としてシリコン窒化膜 47 (Si₃N₄ 膜) を 1000 \AA 程度堆積する。次い

で、全面に第一の導体膜として多結晶シリコン膜48を厚さ4000Å程度成長させる。次に、前記多結晶シリコン膜48にボロンを50 KeV、 $1 \times 10^{16} \text{cm}^{-2}$ の条件でイオン注入する。(第4図(a))

次に、後にエミッタ拡散領域に対応していく領域上の多結晶シリコン膜48を写真蝕刻法及びエッチング法により除去する。その後、950℃でウェット酸化を行ない、多結晶シリコン48の上面及び側面に第二の酸化膜49を形成する(第4図(b))。

次に、この酸化膜49をマスクに開口部のシリコン窒化膜47を加熱リン酸により下地の第一の酸化膜46が露出まで除去する。このエッチングは下地の酸化膜46が露出した後も意図的に過剰エッチングを行い、シリコン窒化膜47を3000Å程度サイドエッチングし、第一の導体膜としての多結晶シリコン48直下に空洞を形成する。その後露出した第一の熱酸化膜46を NH_4F 溶液などでエッチング法により除去する(第4図(c))。

に選択エピタキシャル成長技術を用いてシリコンのエピタキシャル層52を1500Å程度成長させる。次に成長したエピタキシャル層52の表面上にボロンを20 KeV、 $5 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入し、P型の内部ベース領域をエピタキシャル層52とエピタキシャル層43に形成する。さらに、前記のエピタキシャル層52の表面上にヒソを20 KeV、 $2 \times 10^{14} \text{cm}^{-2}$ の条件でイオン注入し、N型のエミッタ領域をエピタキシャル層52に形成する。さらに第3の導体膜として多結晶シリコン53を厚さ2000Å程度全面に堆積した後、ヒソを50 KeV、 $1.2 \times 10^{16} \text{cm}^{-2}$ の条件でイオン注入し、さらに所望の熱処理を施して最終的な外部ベース領域、内部ベース領域とエミッタ領域とを形成する。この時、エミッタ領域と内部ベース領域との界面は先に選択エピタキシャル成長したエピタキシャル層52の内部に位置し、酸化膜51の下端より深部に入りこまないようにする。また、あらかじめ第一の導体膜としての多結晶シリコン膜48に添加しておいたボロンはオーバーハング

次に、第二の導体膜として多結晶シリコン50を全面に3000Å程度被着し、第一の導体膜としての多結晶シリコン直下の空洞を完全に埋め込む。次に、第二の酸化膜49をマスクに第二の多結晶シリコンをオーバーハング部に残したまま反応性プラズマエッチング法によりエピタキシャル層43の表面を露出するまで第二の多結晶シリコン50を除去し、さらに、異方性プラズマエッチング法によりエピタキシャル層43を1000Å程度除去する(第4図(d))。

次に、露出したエピタキシャル層43の表面、第二の導体膜としての多結晶シリコン50の側壁部と第二の酸化膜9の表面に酸化膜51を2000Å程度堆積した後、異方性プラズマエッチング法によりエピタキシャル層43の表面を再び露出させる。このとき、多結晶シリコン48に注入されているボロンは多結晶シリコン50とエピタキシャル層43へ熱拡散し、外部ベース領域を形成する。(第4図(e))。

次に、露出したエピタキシャル層43の表面上

部の多結晶シリコン50を通じて下地のエピタキ注入し、その後、バッファ膜をエッチングすることによりエミッタ領域の厚さを薄くし、そのプロファイルを急峻なものとすることもできる。

以上述べたように、エミッタ領域および内部ベース領域を側壁酸化膜によって外部ベース領域とシャル層43へ拡散しp型の外部ベース領域を形成し内部ベース領域と酸化膜51の下端の深部で連結する。

その後、電極配線材なるアルミニウム54を全面に被着し、写真蝕刻法及びエッチング法を用いて前記開口部を覆うようにアルミニウムを下地の多結晶シリコンが露出するまでエッチング除去する。次にパターンニングされたアルミニウムをマスクにして多結晶シリコンを下地の酸化膜が露出するまでエッチング除去しアルミニウム電極配線を形成してバイポータトランジスタを形成する(第4図(f))。

上記実施例では、シリコン基板に直接にイオン注入したが、エピタキシャル層52の表面上にバ

ッファ膜を堆積し、パッファ膜を通してイオンを分離することにより p^+ 型ベース領域から n^+ 型エミッタ領域へ直接流れる電流を阻止することができ、同時に p^+ 領域より集中していたコレクタからエミッタへの電流も低減することができる。また p^+ 型ベース領域と n^+ 型エミッタ領域に含まれる不純物原子が熱行程によって直接に、相互の領域へ拡散することはなく平坦なベース・エミッタ接合が得られ、エミッタおよび内部のベースの不純物プロファイルを従来よりも制御性の良いものとしている。その結果、接合耐圧や高電流領域での諸特性にすぐれた高性能のバイポーラトランジスタが得られる。

さらに次に、第4図の素子間分離技術について説明する。

以下、図面を用いて説明する。第5図は素子分離形成方法の一実施例である。

p 型シリコン基板61に n^+ 型埋め込み層62を介してコレクタ層となる n 型層63をエピタキシャル成長させたウェーハを形成し、その表面に

ブの多結晶シリコン68から p 型シリコン基板61に p 型層を拡散させる。そして、基板電位はポロンドープの多結晶シリコン68の上部に形成される酸化膜69に開孔を設け、金属配線層とのコンタクトをとることによって基板上面から取ることが可能となる(第5図(d))。

以上述べたようにこれに依れば、高アスペクトを持つ溝に対しても導通防止用の拡散層を簡単に形成することができ、さらにその溝から基板電位を取ることにも可能となる。

[発明の効果]

以上述べたように本発明によれば、コレクタコンタクト部に近い外部ベース拡散層の深さを、ベース引出し電極とベースコンタクトを形成するための第1の多結晶シリコンにより形成された外部ベース拡散層の深さよりも浅くすることができるため、エミッタ幅が $0.8\mu m$ 以下になっても内部ベースのベース幅は、外部ベース拡散領域の高濃度で深い不純物分布領域の影響を受けず、設定通りのベース幅を得ることができる。さらに、ベ

熱酸化により薄い酸化膜64を形成する。(第5図(a))。その表面にCVDにより薄い窒化膜65を形成し、さらにその上にCVDにより厚い酸化膜66を形成する。その後、フォトリソ・レジスト・マスク形成しエッチングにより素子分離領域に開孔を設けて、下地基板を露出させ反応性イオンエッチングにより p 型シリコン基板61に達するまでエッチングを行ない溝形成をする。(第5図(b))。溝形成後、マスク材として用いた酸化膜66をフッ酸を含む水溶液でエッチング除去し、同時に溝内に付着した高分子化合物もこの水溶液で除去する。その後、溝内部に酸化により薄い酸化膜67を形成し、反応性イオンエッチングにより溝側壁部にのみ酸化膜を残すようにする(第5図(c))。溝内部に反転防止用の拡散源であり、かつ基板と導通をとるためのポロンドープの多結晶シリコン68を例えば、 $SiH_4 + B_2H_6$ 系でCVDにより形成し、それをエッチバックする事で埋め込み形成する。そしてトランジスタ形成のための数々の熱工程を経ることで、ポロンドー

ス電極を引出すための第1の多結晶シリコン上のベースコンタクト部を、エミッタ領域を介してコレクタコンタクト部と対向させて配置したことにより、トランジスタ全面の面積を小さくできた。本発明のトランジスタによれば従来の製造プロセスを何ら変えることなく、電流増幅率やしゃ断周波数の低下を防ぎ高性能特性を得ることができ、かつ、エミッター・ベース、ベース・コレクタ間などの各種寄生容量を小さくできた。したがって、集積回路の高信頼性と高速性を達成することができた。

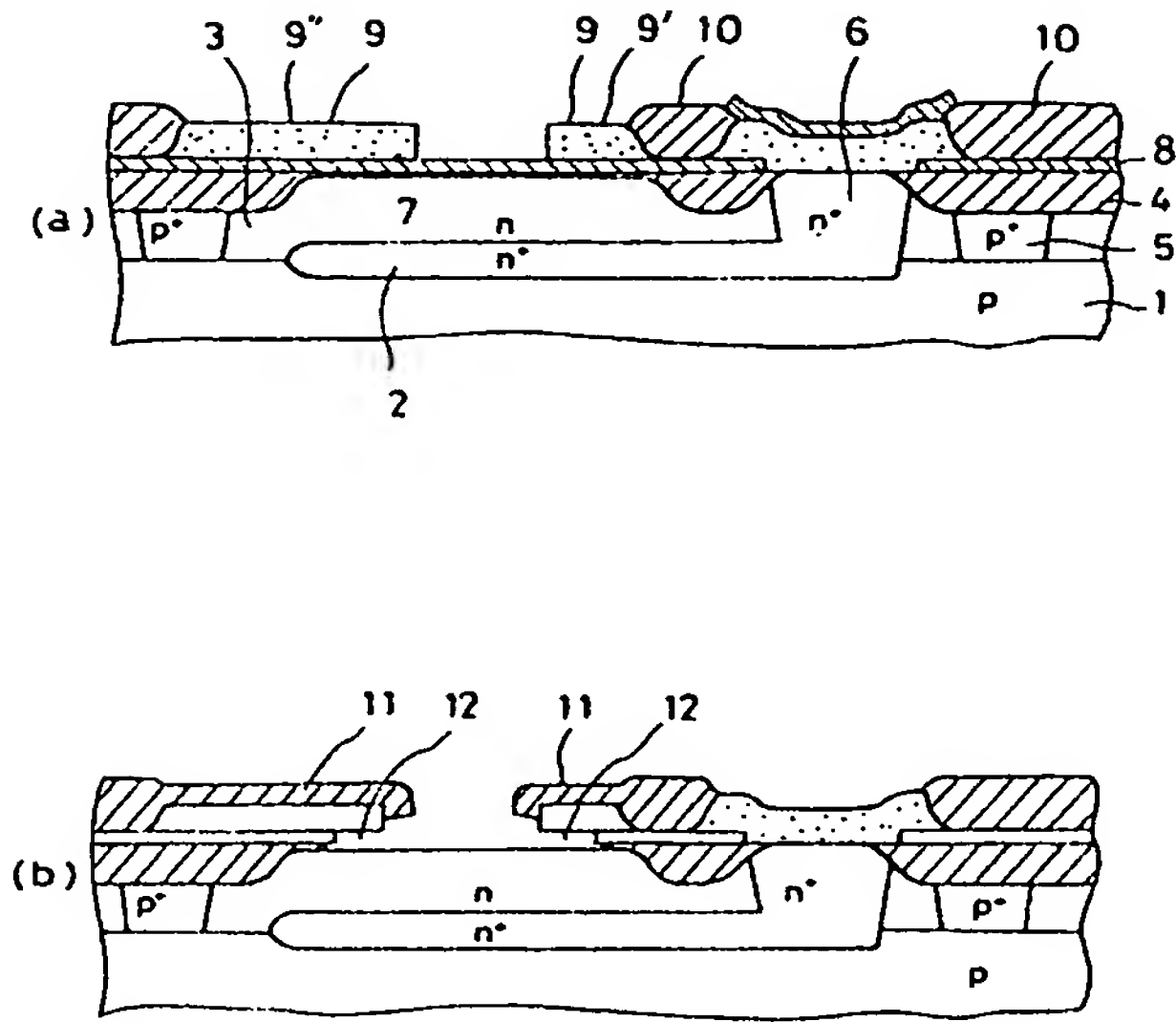
4. 図面の簡単な説明

第1図は、本発明の実施例を示す図、第2図及び第3図は本発明によるバイポーラトランジスタ及び従来例の特性を示す図、第4図及び第5図は他の実施例を示す図、第6図は従来例を示す図である。

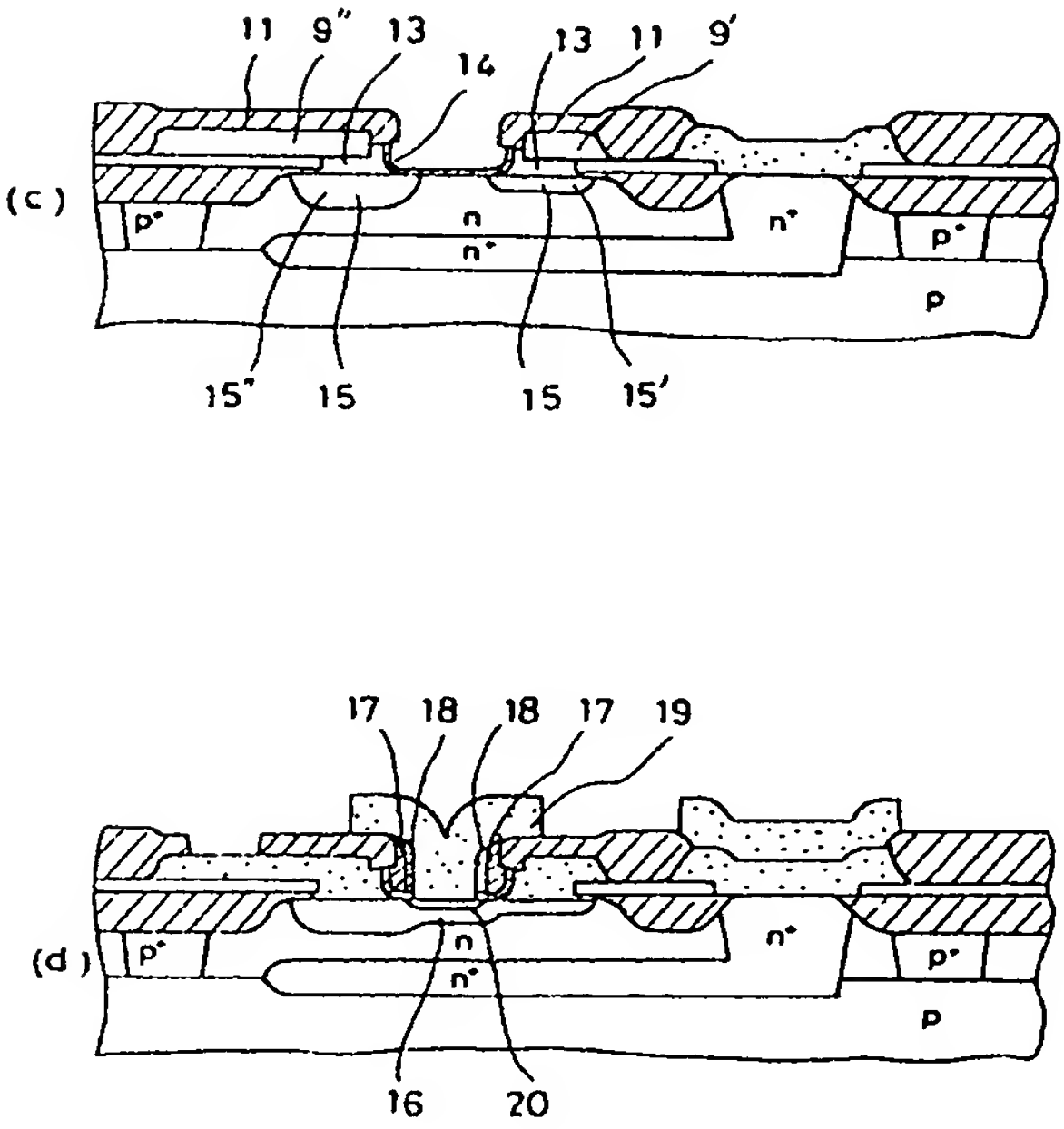
1… p 型シリコン基板 3…コレクタ層
4…分離酸化膜 5…分離 p 型不純物層
7、10、11、14…酸化膜 8…窒化膜

- 9、9'、9''…第1の多結晶シリコン
- 12…オーバーハング部
- 13…第2の多結晶シリコン
- 15、15'、15''…p型外部ベース拡散層
- 16…p型内部ベース層
- 17…CVD絶縁膜
- 18…第3の多結晶シリコン
- 19…第4の多結晶シリコン
- 20…n型エミッタ層

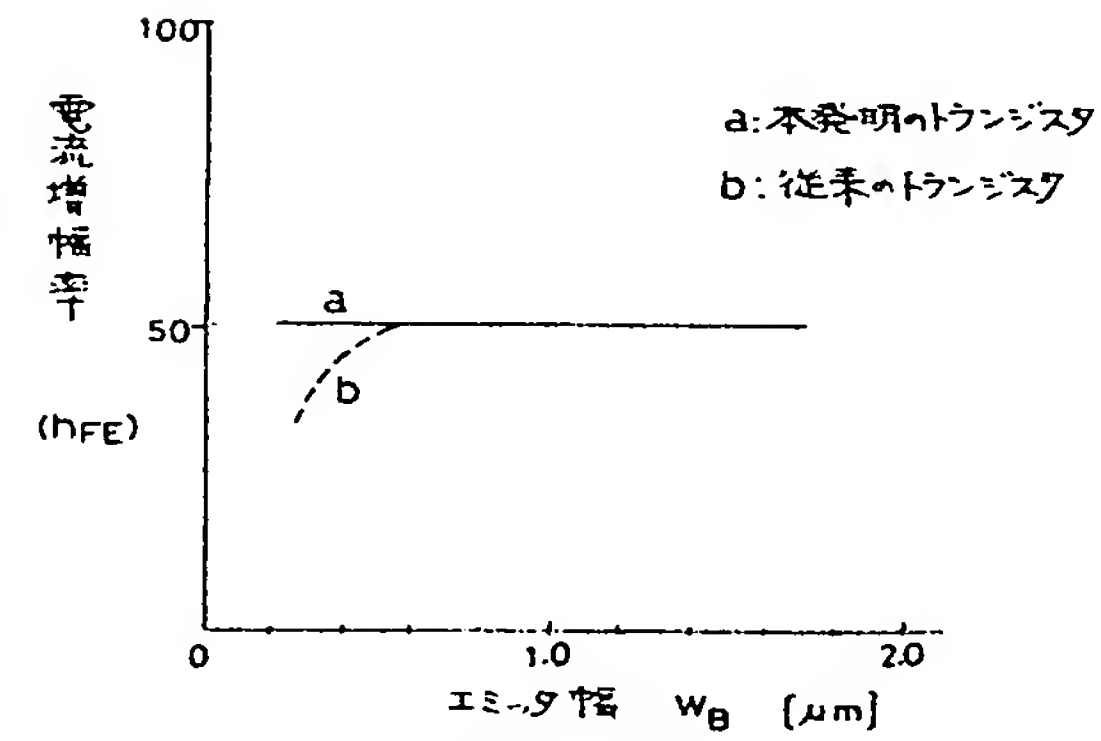
代理人弁理士 則近 敏 佑
同 松山 允之



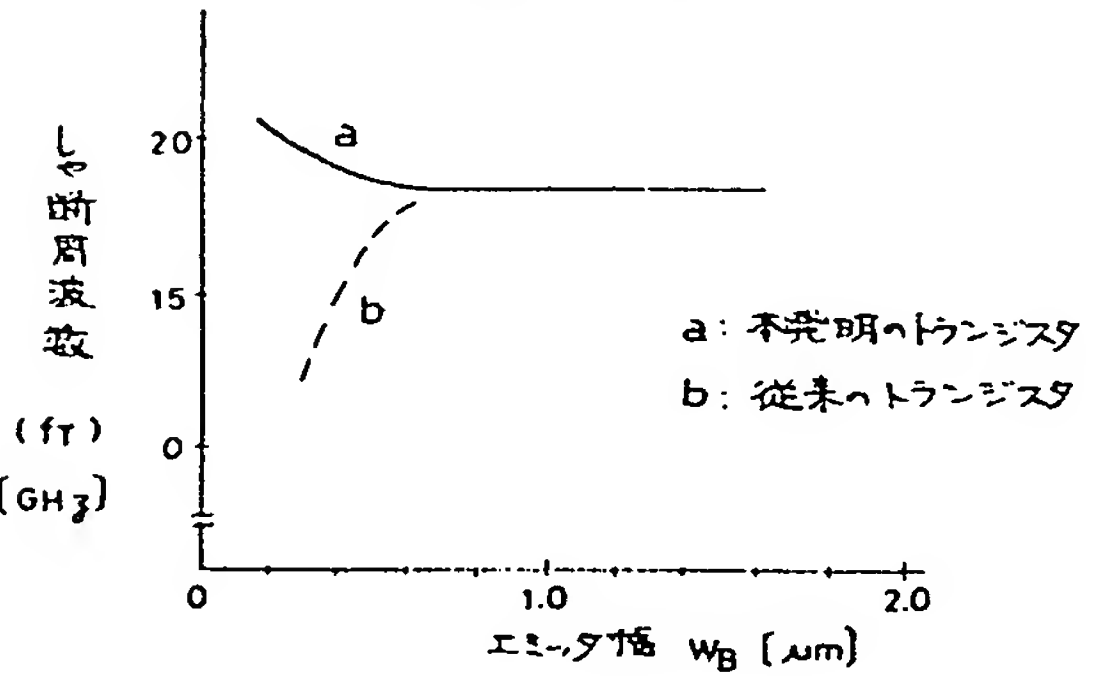
第 1 図



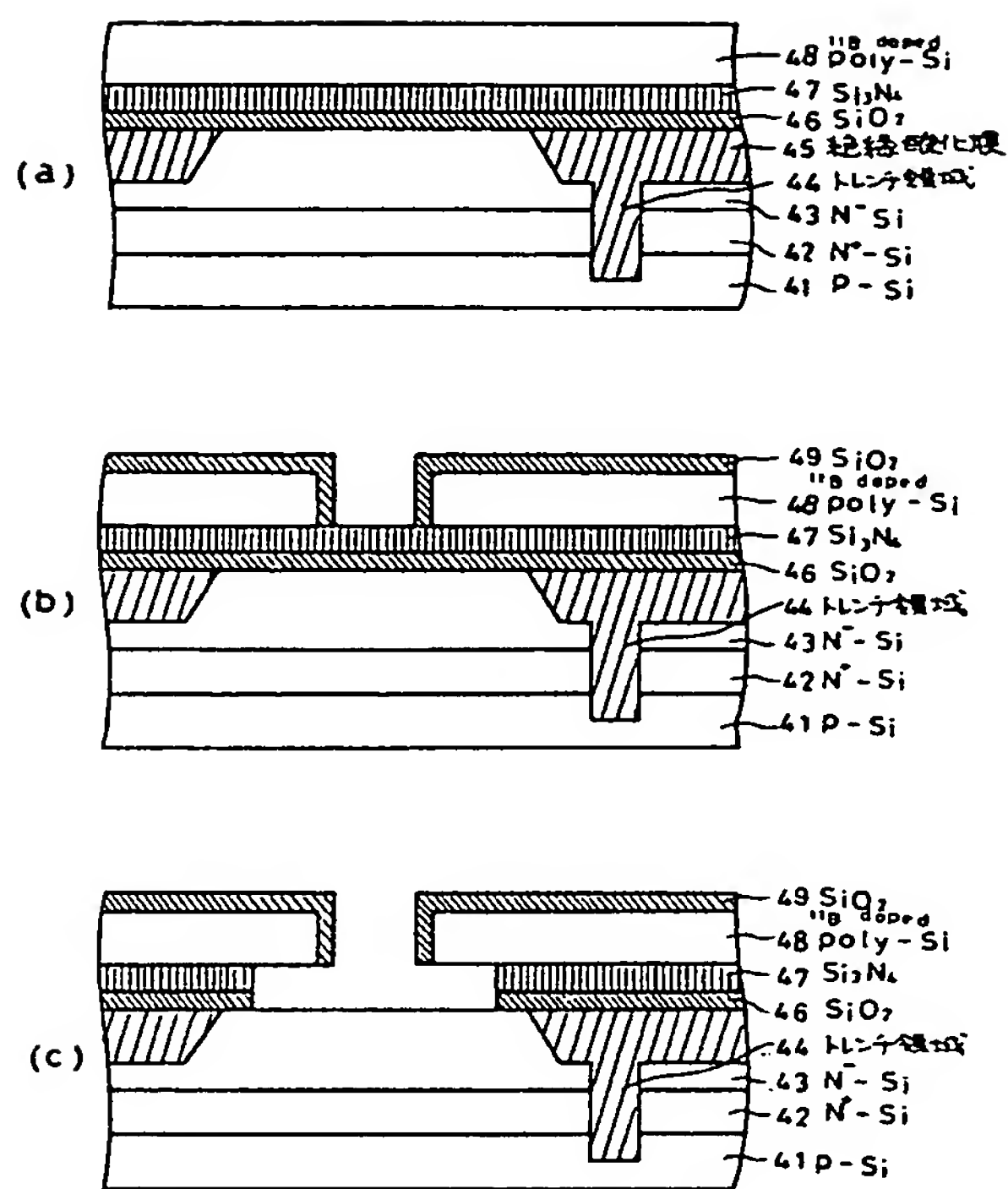
第 1 図



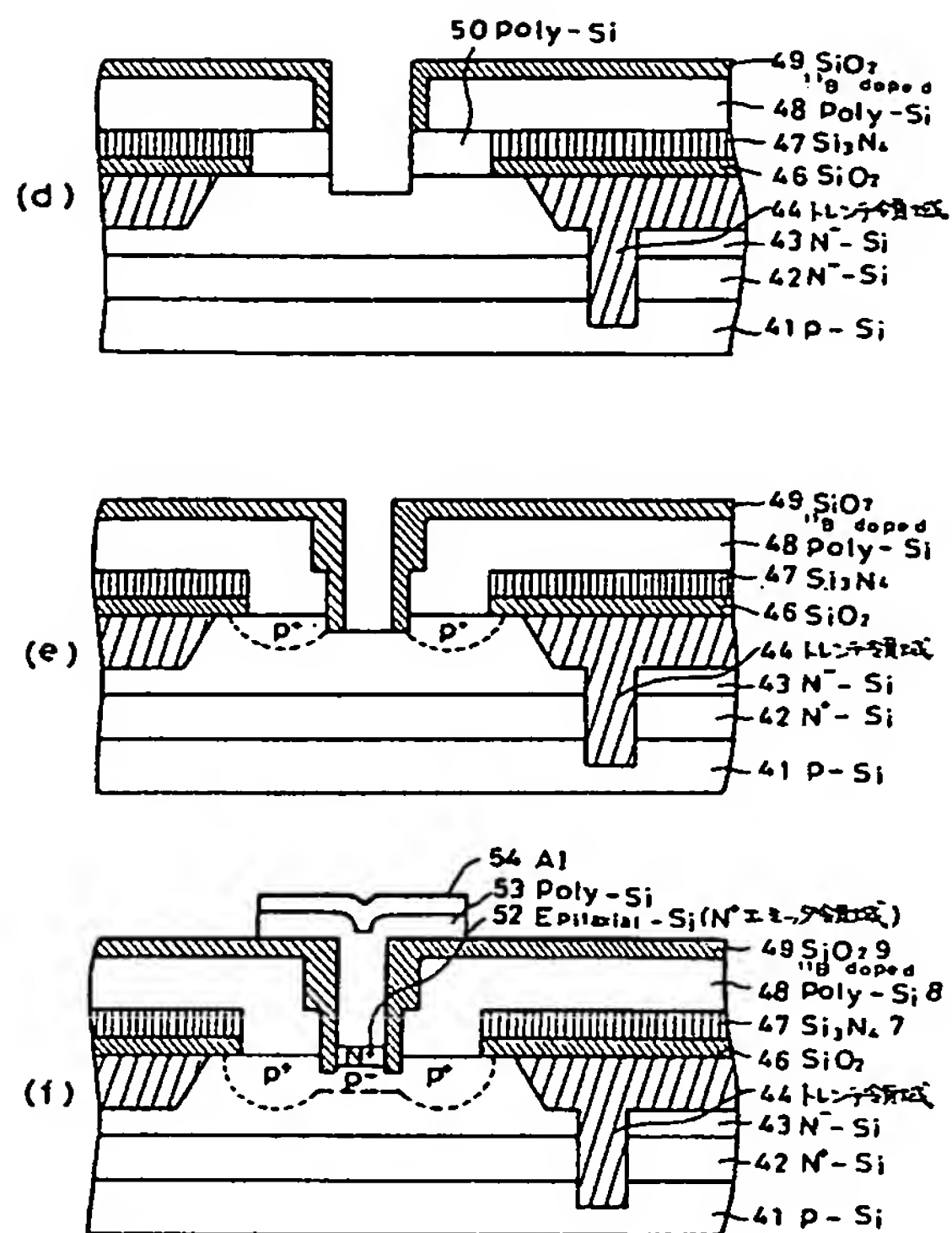
第 2 図



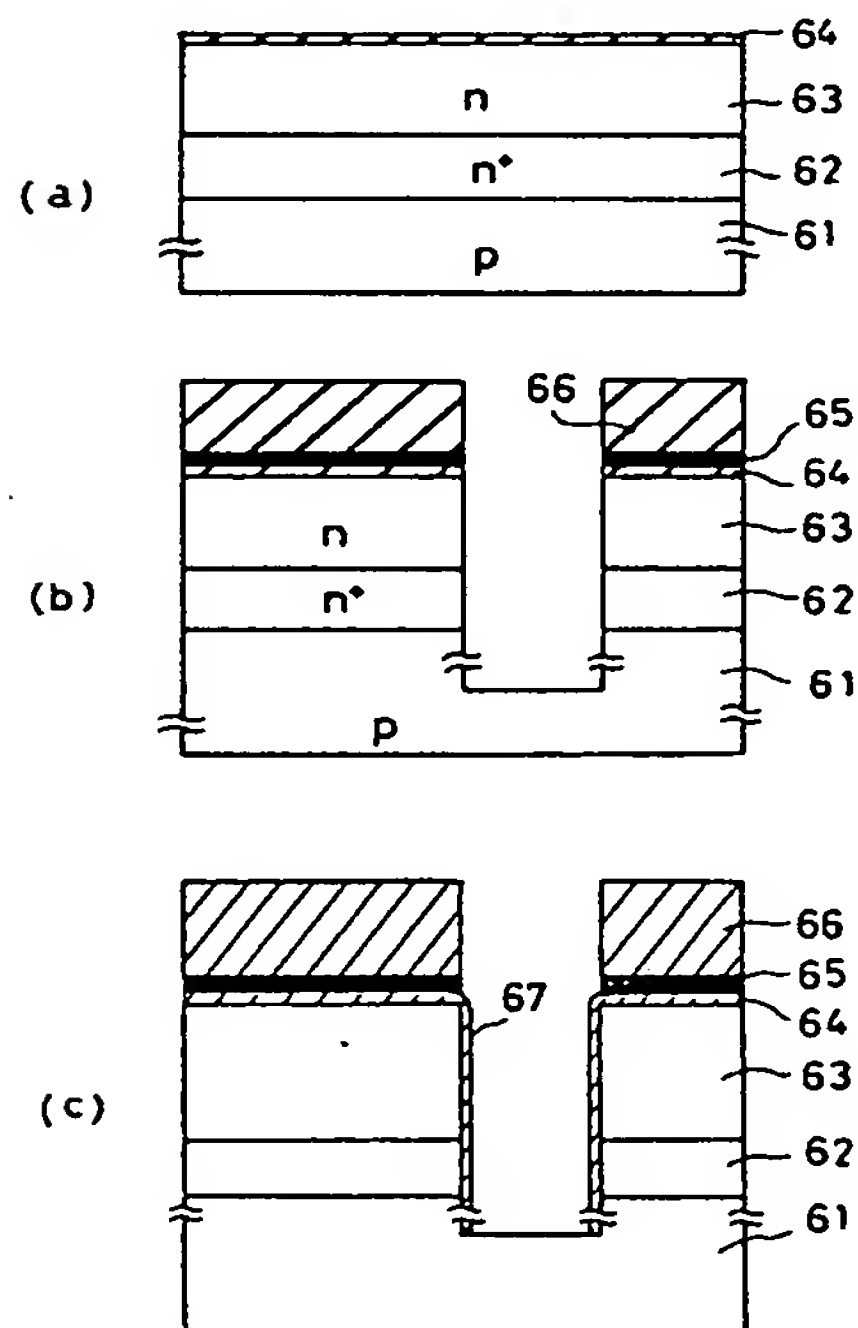
第 3 図



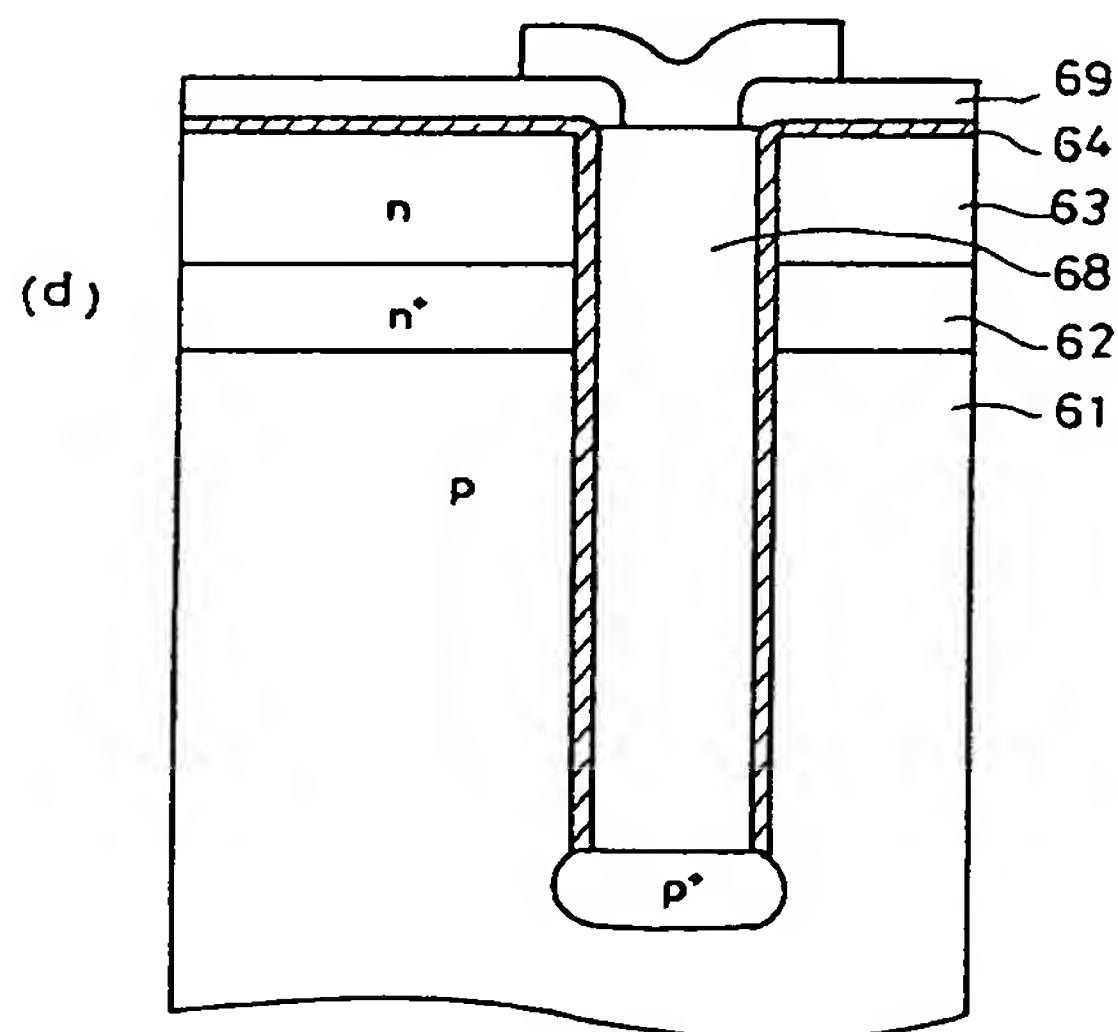
第 4 図



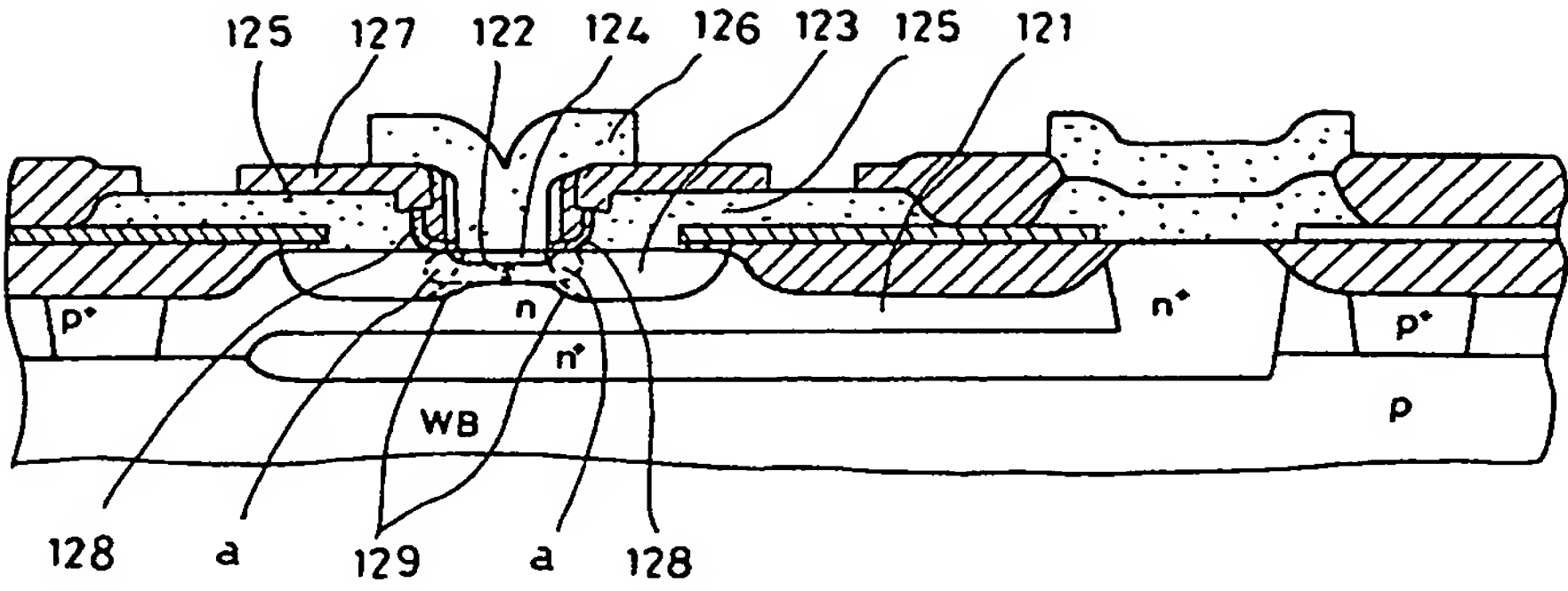
第 4 図



第 5 図



第 5 図



第 6 図